

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-110086

(P2004-110086A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.<sup>7</sup>

G06F 9/54

F 1

G06F 9/06 640B

テーマコード (参考)

5B076

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2002-267702 (P2002-267702)  
(22) 出願日 平成14年9月13日 (2002.9.13)

(71) 出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(74) 代理人 100110858  
弁理士 柳瀬 睦肇  
(74) 代理人 100110777  
弁理士 宇部宮 正明  
(74) 代理人 100100413  
弁理士 渡部 温  
(72) 発明者 塚田 克巳  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
Fターム(参考) 5B076 BA04 BB02 BB04 BB06

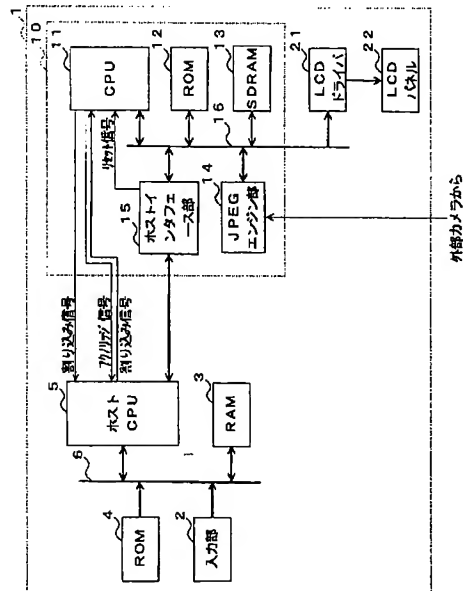
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ホストCPUが所望のプログラムをRAMに書き込み、CPUに実行させることができる半導体装置を提供する。

【解決手段】アプリケーションプロセッサ10は、ブート処理のためのプログラムを格納するROM12と、プログラムを格納するためのRAM13と、外部のカメラから受信した画像信号をJPEG形式の画像データに変換するJPEGエンジン部14と、所定の処理を行うためのプログラムをホストCPU5から受け取ってRAM13に書き込むホストインタフェース部15と、RAM13に書き込まれたプログラムを実行するCPU11とを具備する。

【選択図】 図1



## 【特許請求の範囲】

### 【請求項 1】

ホストCPUの制御の下で動作する半導体装置であって、  
プログラムを格納するためのRAMと、  
所定の処理を行うためのプログラムを前記ホストCPUから受け取って前記RAMに書き込むインタフェース部と、  
前記RAMに書き込まれたプログラムを実行するCPUと、  
を具備する半導体装置。

### 【請求項 2】

前記RAMが、複数のプログラムを格納し、前記CPUが、前記ホストCPUからの指示  
に応じて、前記RAMに書き込まれた複数のプログラムの中の1以上のプログラムを実行  
することを特徴とする請求項1記載の半導体装置。

### 【請求項 3】

前記CPUが、前記ホストCPUからの指示に応じて、前記RAMに書き込まれた複数の  
プログラムの中の2以上のプログラムを並列に実行することを特徴とする請求項2記載の  
半導体装置。

### 【請求項 4】

前記ホストCPUが、前記RAMの初期化を行い、その後、前記半導体装置の初期化を行  
うためのプログラムを前記RAMに書き込み、前記半導体装置の初期化を行うためのプ  
ログラムの実行を前記CPUに指示し、前記CPUが前記半導体装置の初期化を行うための  
プログラムの実行を終了した後、所定の処理を行うためのプログラムを前記RAMに書  
き込み、前記所定の処理を行うためのプログラムの実行を前記CPUに指示することを特  
徴とする請求項1～3のいずれか1項に記載の半導体装置。

### 【請求項 5】

所定の機能をそれぞれ実現する複数の機能ブロックを更に具備し、前記RAMが、前記複  
数の機能ブロックをそれぞれ制御するための複数のプログラムを格納し、前記CPUが、  
前記ホストCPUからの指示に応じて、前記RAMに書き込まれた複数のプログラムを並  
列に実行することを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

### 【請求項 6】

前記複数の機能ブロックをそれぞれ制御するための複数のプログラムが、制御対象である  
機能ブロックを特定する情報をそれぞれ含むことを特徴とする請求項5記載の半導体装置

## 【発明の詳細な説明】

### 【0001】

### 【発明の属する技術分野】

本発明は、ホストCPUの制御の下で動作する半導体装置に関する。

### 【0002】

### 【従来の技術】

近年、携帯電話装置、PDA（携帯情報端末）等において、アプリケーションプロセッサ  
と呼ばれる半導体装置が用いられている。

アプリケーションプロセッサは、CPU、ROM、RAM等を有しており、アプリケーシ  
ョンプロセッサ内のCPUは、携帯電話装置等の全体を制御するホストCPUの指示に応  
じて、アプリケーションプロセッサ内のROMに格納されているプログラムを実行するこ  
とにより、所定の処理（例えば、画像処理等）を行う。

### 【0003】

しかしながら、アプリケーションプロセッサが多数の処理を行えるようにするためには、  
アプリケーションプロセッサ内のROMに多数のプログラムを格納する必要がある。その  
ため、アプリケーションプロセッサ内のROMの容量を大きくする必要があった。

### 【0004】

ところで、日本国特許出願公開（特開）2001-265600号公報（以下、「文献1

「J」という)には、システム制御や処理データ管理を司るホストCPU(Central Processing Unit)と、予め複数の処理装置プログラムを格納してある外部メモリと、複数の処理装置プログラムの1つを格納する内部メモリをもち、該内部メモリに格納した該処理装置プログラムを実行する処理装置とを備え、リセット発生解除の後に自動的に複数の処理装置プログラムの1つを外部メモリから内部メモリに取り込み、取り込んだ該処理装置プログラムの実行開始を制御するプログラムのブート・ローディング機能を有するデータ処理システムにおいて、ホストCPUと処理装置との間で処理データやメッセージを交換するデュアル・ポート・メモリと、処理装置の処理内容を外部から指定するための指定情報を発生する処理指定情報設定装置と、システム・リセットとホストCPUのソフト制御されたリセット信号との論理和をとり処理装置へリセットの信号供給をする論理和回路と、ブロックアドレスレジスタとを有し、ホストCPUが初期化処理を終了しソフト制御されたリセット信号を発生した状態で、処理装置に処理させるための処理装置プログラムの指定情報を読み込み、指定情報に対応して、処理装置プログラムが格納されている処理装置プログラムデータ格納エリアのブロックのアドレスの上位ビットをブロック・アドレス・レジスタに設定した後に、ホストCPUが処理装置へのリセット信号の発生解除を行い処理装置への処理装置プログラムデータのブート・ローディングを行うことを特徴とするデータ処理システムが掲載されている。

10

20

30

40

50

#### 【0005】

しかしながら、文献1に掲載されたデータ処理システムは、処理装置がリセット発生解除の後に自動的に複数の処理装置プログラムの1つを外部メモリから内部メモリに取り込み、取り込んだ処理装置プログラムの実行を開始するものであり、ホストCPUが所望のプログラムを内部メモリに書き込み、処理装置に実行させるものではない。

#### 【0006】

また、特開2000-181699号公報(以下、「文献2」という)には、正規プログラムを保持するROMと、RAMとを備え、プログラム処理を行うデジタル信号処理装置において、正規プログラム処理中に外部からのプログラムをRAMへロードし、RAMへのプログラムロードが終了した後に、正規プログラムの処理からRAMにロードされたプログラムの処理へ切替え、ロードプログラムの処理が終了した後に、正規プログラムの処理に切替えるように制御する制御手段を備えたことを特徴とするデジタル信号処理装置が掲載されている。

#### 【0007】

しかしながら、文献2に掲載されたデジタル信号処理装置は、正規プログラム処理中に外部からのプログラムをRAMへロードし、RAMへのプログラムロードが終了した後に、正規プログラムの処理からRAMにロードされたプログラムの処理へ切替え、ロードプログラムの処理が終了した後に、正規プログラムの処理に切替えるように制御するものであり、ホストCPUが所望のプログラムをRAMに書き込み、実行させるものではない。

#### 【0008】

また、特開平11-338687号公報(以下、「文献3」という)には、ホストシステムに対して拡張バスを介して接続される拡張ユニット内に格納されたプログラムの書き換えを行うプログラム書換システムにおいて、拡張ユニットには、該拡張ユニット内を制御するCPUと、CPUで実行されるプログラムを格納する書き換え可能な不揮発性メモリと、ホストシステムから不揮発性メモリにアクセスするとともに、ホストシステムからCPUへリセット出力が可能なインターフェイス回路と、を有し、ホストシステムがCPUを動作停止状態としている間に不揮発性メモリに直接アクセスして、不揮発性メモリに格納されたプログラム内容を書き換えることを特徴とするプログラム書換システムが掲載されている。

#### 【0009】

しかしながら、文献3に掲載されたプログラム書換システムは、ホストシステムが書き換え可能な不揮発性メモリに格納されたプログラム内容を書き換えるものであり、書き換え可能な不揮発性メモリを必須構成要素とする。

【0010】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、書き換え可能な不揮発性メモリを必要とすることなく、ホストCPUが、所望のプログラムをRAMに書き込み、CPUに実行させることにより、ホストCPUが制御可能な半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体装置は、ホストCPUの制御の下で動作する半導体装置であって、プログラムを格納するためのRAMと、所定の処理を行うためのプログラムをホストCPUから受け取ってRAMに書き込むインタフェース部と、RAMに書き込まれたプログラムを実行するCPUとを具備する。

【0012】

ここで、RAMが、複数のプログラムを格納し、CPUが、ホストCPUからの指示に応じて、RAMに書き込まれた複数のプログラムの中の1以上のプログラムを実行することとしても良い。さらに、CPUが、ホストCPUからの指示に応じて、RAMに書き込まれた複数のプログラムの中の2以上のプログラムを並列に実行することとしても良い。

【0013】

また、ホストCPUが、RAMの初期化を行い、その後、半導体装置の初期化を行うためのプログラムをRAMに書き込み、半導体装置の初期化を行うためのプログラムの実行をCPUに指示し、CPUが半導体装置の初期化を行うためのプログラムの実行を終了した後、所定の処理を行うためのプログラムをRAMに書き込み、所定の処理を行うためのプログラムの実行をCPUに指示することとしても良い。

【0014】

また、所定の機能をそれぞれ実現する複数の機能ブロックを更に具備し、RAMが、複数の機能ブロックをそれぞれ制御するための複数のプログラムを格納し、CPUが、ホストCPUからの指示に応じて、RAMに書き込まれた複数のプログラムを並列に実行することとしても良い。

【0015】

また、複数の機能ブロックをそれぞれ制御するための複数のプログラムが、制御対象である機能ブロックを特定する情報をそれぞれ含むこととしても良い。

【0016】

上記のように構成した本発明によれば、書き換え可能な不揮発性メモリを必要とすることなく、ホストCPUが、所望のプログラムをRAMに書き込み、CPUに実行させることにより、ホストCPUが制御することができる。

【0017】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1に、本発明の第1の実施形態としてのアプリケーションプロセッサを用いたPDAの構成を示す。

図1に示すように、このPDA1は、入力部2と、RAM3と、ROM4と、ホストCPU5と、アプリケーションプロセッサ10と、LCDドライバ21と、LCDパネル22とを具備する。

【0018】

入力部2は、ユーザがデータ等を入力するためのタッチパネル等である。

入力部2、RAM3、ROM4、及び、ホストCPU5は、第1のバス6によって相互に接続されている。ホストCPU5は、入力部2から入力されたデータ等に応じて、RAM3を作業用領域として使用しながら、ROM4に格納されたOS（オペレーティングシステム）プログラム、アプリケーションプログラム等を実行し、PDA1全体の制御を行う。

## 【0019】

本発明の第1の実施形態としてのアプリケーションプロセッサ10は、JPEG（Joint Photographic Experts Group）画像処理等を行う装置であり、CPU11と、ROM12と、シンクロナスDRAM（SDRAM）18と、JPEGエンジン部14と、ホストインタフェース部15とを有している。CPU11、ROM12、SDRAM18、JPEGエンジン部14、及び、ホストインタフェース部15は、第2のバス16によって相互に接続されている。また、ホストインタフェース部15は、ホストCPU5に接続されている。

JPEGエンジン部14は、外部のデジタルスチルカメラに接続されており、このデジタルスチルカメラから画像信号を受け取ってJPEG形式の静止画像データに変換する

10

## 【0020】

LCDドライバ21は、アプリケーションプロセッサ10のバス16に接続されており、アプリケーションプロセッサ10から受け取った画像データに基づく画像をLCDパネル22に表示させる。

## 【0021】

次に、アプリケーションプロセッサ10の動作について説明する。

PDA1の電源がオンになると、ホストCPU5及びアプリケーションプロセッサ10は、それぞれ動作を開始する。ROM12には、ブート処理（例えば、アプリケーションプロセッサ10の初期化処理等）のためのプログラムが格納されており、CPU11は、ROM12に格納されているプログラムを実行し、アプリケーションプロセッサ10の初期化処理等を行う。

20

## 【0022】

CPU11は、アプリケーションプロセッサ10の初期化処理等を終わると、その旨をホストCPU5に通知する。本実施形態においては、CPU11は、アプリケーションプロセッサ10の初期化処理等が終わると、割り込み信号をホストCPU5に出力する。

ホストCPU5は、CPU11から割り込み信号を受け取ると、CPU11の動作を停止させるようにホストインタフェース部15に指示する。なお、ホストインタフェース部15が、ホストCPU5からのコマンドを受け取るコマンドレジスタを有することとし、ホストCPU5が、このコマンドレジスタにCPU11の動作を停止させる旨のコマンドを書き込むこととしても良い。

30

## 【0023】

ホストインタフェース部15は、CPU11の動作を停止させる旨の指示をホストCPU5から受け取ると、CPU11の動作を停止させる。本実施形態においては、ホストインタフェース部15は、CPU11の動作を停止させる旨のコマンドをホストCPU5から受け取ると、停止信号をCPU11に出力する。これにより、CPU11は動作を停止し、バス16及びSDRAM18はCPU11から開放される。

次に、ホストCPU5は、CPU11に実行させるためのプログラムをROM4から読み出し、ホストインタフェース部15を介してSDRAM18に転送する。ROM4には、CPU11に実行させるための複数のプログラムが格納されており、ホストCPU5は、これらのプログラムの中の1個又は複数個の所望のプログラムをSDRAM18に転送することができる。

40

## 【0024】

ホストCPU5は、所望のプログラムのSDRAM18への転送を終了すると、CPU11の動作を開始させるようにホストインタフェース部15に指示する。なお、ホストインタフェース部15が、ホストCPU5からコマンドを受け取るコマンドレジスタを有することとし、ホストCPU5が、このコマンドレジスタにCPU11の動作を開始させる旨のコマンドを書き込むこととしても良い。

ホストインタフェース部15は、CPU11の動作を開始させる旨の指示をホストCPU5から受け取ると、CPU11の動作を開始させる。本実施形態においては、ホストイン

50

タフェース部１５は、ＣＰＵ１１の動作を開始させる旨のコマンドをホストＣＰＵ５から受け取ると、停止信号をインアクティブにする。これにより、ＣＰＵ１１は動作を開始し、ＳＤＲＡＭ１３に転送されたプログラムを実行する。

【００２５】

このように、アプリケーションプロセッサ１０によれば、ホストＣＰＵ５が、所望のプログラムをアプリケーションプロセッサ１０内のＣＰＵ１１に実行させることができ、アプリケーションプロセッサ１０を自由に制御することができる。

また、ホストＣＰＵ５が、必要に応じてプログラムをＳＤＲＡＭ１３に転送すれば良いので、ＳＤＲＡＭ１３の容量を少なくすることができる。

【００２６】

なお、ホストインタフェース部１５が、割り込みベクタをそれぞれ格納する複数の割り込みベクタ格納レジスタを有することとし、ホストＣＰＵ５が、複数のプログラムをＳＤＲＡＭ１３に転送し、これらのプログラムの開始アドレスをホストインタフェース部１５内の割り込みベクタ格納レジスタに書き込み、ＣＰＵ１１に実行させるプログラムに応じた割り込み信号をＣＰＵ１１に適宜出力することとしても良い。

【００２７】

次に、本発明の第２の実施形態について説明する。図２は、本発明の第２の実施形態としてのアプリケーションプロセッサを用いたＰＤＡの構成を示す。

図２に示すように、このＰＤＡ３１は、入力部２と、ＲＡＭ３と、ＲＯＭ４と、ホストＣＰＵ５と、アプリケーションプロセッサ４０と、ＬＣＤドライバ２１と、ＬＣＤパネル２２とを具備する。

【００２８】

本発明の第２の実施形態としてのアプリケーションプロセッサ４０は、ＣＰＵ１１と、ＳＤＲＡＭ１３と、ＪＰＥＧエンジン部１４と、ホストインタフェース部１５とを有している。ＣＰＵ１１、ＳＤＲＡＭ１３、ＪＰＥＧエンジン部１４、及び、ホストインタフェース部１５は、第２のバス１６によって相互に接続されている。また、ホストインタフェース部１５は、ホストＣＰＵ５に接続されている。

【００２９】

次に、アプリケーションプロセッサ４０の動作について説明する。

ＰＤＡ１の電源がオンになると、ホストＣＰＵ５は、動作を開始する。まず、ホストＣＰＵ５は、ＣＰＵ１１の動作を開始させないようにホストインタフェース部１５に指示する。なお、ホストインタフェース部１５が、ホストＣＰＵ５からコマンドを受け取るコマンドレジスタを有することとし、ホストＣＰＵ５が、このコマンドレジスタにＣＰＵ１１の動作を開始させない旨のコマンドを書き込むこととしても良い。

【００３０】

ホストインタフェース部１５は、ＣＰＵ１１の動作を開始させない旨のコマンドをホストＣＰＵ５から受け取ると、リセット信号をＣＰＵ１１に出力する。これにより、ＣＰＵ１１は動作を開始しない。

次に、ホストＣＰＵ５は、ホストインタフェース部１５を介して、ＳＤＲＡＭ１３の初期化を行う。その後、ホストＣＰＵ５は、ＣＰＵ１１に実行させるためのプログラムをＲＯＭ４から読み出し、ホストインタフェース部１５を介してＳＤＲＡＭ１３に転送する。ＲＯＭ４には、ブート処理（例えば、アプリケーションプロセッサ１０の初期化処理等）のためのプログラムが格納されており、ホストＣＰＵ５は、このブート処理のためのプログラムをＳＤＲＡＭ１３に転送する。

【００３１】

ホストＣＰＵ５は、ブート処理のためのプログラムのＳＤＲＡＭ１３への転送を終了すると、ＣＰＵ１１の動作を開始させるようにホストインタフェース部１５に指示する。なお、ホストインタフェース部１５が、ホストＣＰＵ５からコマンドを受け取るコマンドレジスタを有することとし、ホストＣＰＵ５が、このコマンドレジスタにＣＰＵ１１の動作を開始させる旨のコマンドを書き込むこととしても良い。

10

20

30

40

50

ホストインタフェース部15は、CPU11の動作を開始させる旨の指示をホストCPU5から受け取ると、CPU11の動作を開始させる。本実施形態においては、ホストインタフェース部15は、CPU11の動作を開始させる旨のコマンドをホストCPU5から受け取ると、リセット信号をインアクティブにする。これにより、CPU11は、動作を開始し、SDRAM13に転送されたブート処理のためのプログラムを実行する。なお、ホストインタフェース部15が、CPU11のリセットベクタを格納するリセットベクタ格納レジスタを有することとし、ホストCPU5が、SDRAM13に転送したプログラムの開始アドレスをホストインタフェース部15内のリセットベクタ格納レジスタに書き込むこととしても良い。

#### 【0032】

10

CPU11は、SDRAM13に格納されているプログラムを実行し、アプリケーションプロセッサ10の初期化処理等を行う。CPU11は、アプリケーションプロセッサ10の初期化処理等を終わると、その旨をホストCPU5に通知する。本実施形態においては、CPU11は、アプリケーションプロセッサ10の初期化処理等が終わると、割り込み信号をホストCPU5に出力する。

ホストCPU5は、CPU11から割り込み信号を受け取ると、CPU11の動作を停止させるようにホストインタフェース部15に指示する。なお、ホストインタフェース部15が、ホストCPU5からコマンドを受け取るコマンドレジスタを有することとし、ホストCPU5が、このコマンドレジスタにCPU11の動作を停止させる旨のコマンドを書き込むこととしても良い。

20

#### 【0033】

ホストインタフェース部15は、CPU11の動作を停止させる旨の指示をホストCPU5から受け取ると、CPU11の動作を停止させる。本実施形態においては、ホストインタフェース部15は、CPU11の動作を停止させる旨のコマンドをホストCPU5から受け取ると、リセット信号をCPU11に出力する。これにより、CPU11は動作を停止し、バス16及びSDRAM13はCPU11から開放される。

次に、ホストCPU5は、CPU11に実行させるためのプログラムをROM4から読み出し、ホストインタフェース部15を介してSDRAM13に転送する。ROM4には、CPU11に実行させるための複数のプログラムが格納されており、ホストCPU5は、これらのプログラムの中の1個又は複数個の所望のプログラムをSDRAM13に転送することができ

30

#### 【0034】

ホストCPU5は、所望のプログラムのSDRAM13への転送を終了すると、CPU11の動作を開始させるようにホストインタフェース部15に指示する。なお、ホストインタフェース部15が、ホストCPU5からコマンドを受け取るコマンドレジスタを有することとし、ホストCPU5が、このコマンドレジスタにCPU11の動作を開始させる旨のコマンドを書き込むこととしても良い。

ホストインタフェース部15は、CPU11の動作を開始させる旨の指示をホストCPU5から受け取ると、CPU11の動作を開始させる。本実施形態においては、ホストインタフェース部15は、CPU11の動作を開始させる旨のコマンドをホストCPU5から受け取ると、リセット信号をインアクティブにする。これにより、CPU11は動作を開始し、SDRAM13に転送されたプログラムを実行する。なお、ホストインタフェース部15が、CPU11のリセットベクタを格納するリセットベクタ格納レジスタを有することとし、ホストCPU5が、SDRAM13に転送したプログラムの開始アドレスをホストインタフェース部15内のリセットベクタ格納レジスタに書き込むこととしても良い。

40

#### 【0035】

このように、アプリケーションプロセッサ40によれば、アプリケーションプロセッサ10におけるROM12を不要とすることができる。

#### 【0036】

50

なお、ホストインタフェース部 15 が、割り込みベクタをそれぞれ格納する複数の割り込みベクタ格納レジスタを有することとし、ホスト CPU 5 が、複数のプログラムを SDRAM 13 に転送し、これらのプログラムの開始アドレスをホストインタフェース部 15 内の複数の割り込みベクタ格納レジスタに書き込み、CPU 11 に実行させるプログラムに応じた割り込み信号を CPU 11 に適宜出力することとしても良い。

#### 【0037】

次に、本発明の第 3 の実施形態について説明する。図 3 は、本発明の第 3 の実施形態としてのアプリケーションプロセッサを用いた PDA の構成を示す。

図 3 に示すように、この PDA 41 は、入力部 2 と、RAM 3 と、ROM 4 と、ホスト CPU 5 と、アプリケーションプロセッサ 50 と、LCD ドライバ 21 と、LCD パネル 22 とを具備する。

#### 【0038】

本発明の第 3 の実施形態としてのアプリケーションプロセッサ 50 は、CPU 11 と、ROM 12 と、SDRAM 13 と、JPEG エンジン部 14 と、ホストインタフェース部 15 と、3D エンジン部 17 とを有している。CPU 11、ROM 12、SDRAM 13、JPEG エンジン部 14、ホストインタフェース部 15、及び、3D エンジン部 17 は、第 2 のバス 16 によって相互に接続されている。また、ホストインタフェース部 15 は、ホスト CPU 5 に接続されている。

3D エンジン部 17 は、3 次元画像処理を行う回路である。

#### 【0039】

次に、アプリケーションプロセッサ 50 の動作について説明する。

PDA 1 の電源がオンになると、ホスト CPU 5 及びアプリケーションプロセッサ 50 は、それぞれ動作を開始する。ROM 12 には、ブート処理（例えば、アプリケーションプロセッサ 50 の初期化処理等）のためのプログラムが格納されており、CPU 11 は、ROM 12 に格納されているプログラムを実行し、アプリケーションプロセッサ 50 の初期化処理等を行う。

#### 【0040】

CPU 11 は、アプリケーションプロセッサ 50 の初期化処理等を終わると、その旨をホスト CPU 5 に通知する。本実施形態においては、CPU 11 は、アプリケーションプロセッサ 50 の初期化処理等が終わると、割り込み信号をホスト CPU 5 に出力する。

ホスト CPU 5 は、CPU 11 から割り込み信号を受け取ると、CPU 11 の動作を停止させるようにホストインタフェース部 15 に指示する。なお、ホストインタフェース部 15 が、ホスト CPU 5 からコマンドを受け取るコマンドレジスタを有することとし、ホスト CPU 5 が、このコマンドレジスタに CPU 11 の動作を停止させる旨のコマンドを書き込むこととしても良い。

#### 【0041】

ホストインタフェース部 15 は、CPU 11 の動作を停止させる旨の指示をホスト CPU 5 から受け取ると、CPU 11 の動作を停止させる。本実施形態においては、ホストインタフェース部 15 は、CPU 11 の動作を停止させる旨の指示をホスト CPU 5 から受け取ると、停止信号を CPU 11 に出力する。これにより、CPU 11 は動作を停止し、バス 16 及び SDRAM 13 は CPU 11 から開放される。

次に、ホスト CPU 5 は、CPU 11 に実行させるためのプログラムを ROM 4 から読み出し、ホストインタフェース部 15 を介して SDRAM 13 に転送する。ROM 4 には、JPEG エンジン部 14 を制御するためのプログラム及び 3D エンジン部 17 を制御するためのプログラムが格納されており、ホスト CPU 5 は、これらのプログラムを SDRAM 13 に転送する。なお、JPEG エンジン部 14 を制御するためのプログラムの先頭には、JPEG エンジン部 14 をハードウェアリソースとして使用することを表すリソース情報が含まれており、3D エンジン部 17 を制御するためのプログラムの先頭には、3D エンジン部 17 をハードウェアリソースとして使用することを表すリソース情報が含まれている。



## 【0042】

ホストインタフェース部15は、割り込みベクタをそれぞれ格納する複数の割り込みベクタ格納レジスタを有しており、ホストCPU5は、JPEGエンジン部14を制御するためのプログラム及び3Dエンジン部17を制御するためのプログラムの開始アドレスをホストインタフェース部15内の複数の割り込みベクタ格納レジスタに書き込む。そして、ホストCPU5は、CPU11に実行させるプログラムに応じた割り込み信号をCPU11に適宜出力する。

JPEGエンジン部14を制御するプログラム及び3Dエンジン部17を制御するプログラムには、使用するハードウェアリソースを表すリソース情報が含まれているので、CPU11は、JPEGエンジン部14を制御するプログラム及び3Dエンジン部17を制御するプログラムを並列に実行することができる。

10

## 【0048】

### 【発明の効果】

以上述べたように、本発明によれば、書き換え可能な不揮発性メモリを必要とすることなく、ホストCPUが、所望のプログラムをRAMに書き込み、CPUに実行させることにより、ホストCPUが制御することができる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施形態としてのアプリケーションプロセッサを用いたPDAの構成を示す図である。

【図2】本発明の第2の実施形態としてのアプリケーションプロセッサを用いたPDAの構成を示す図である。

20

【図3】本発明の第3の実施形態としてのアプリケーションプロセッサを用いたPDAの構成を示す図である。

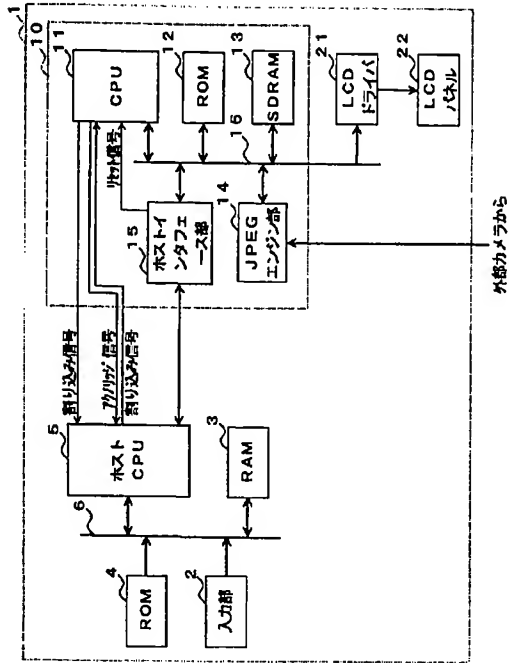
### 【符号の説明】

- 1、31、41 PDA
- 2 入力部
- 3 RAM
- 4、12 ROM
- 5 ホストCPU
- 6、16 バス
- 10、40、50 アプリケーションプロセッサ
- 11 CPU
- 13 SDRAM
- 14 JPEGエンジン部
- 15 ホストインタフェース部
- 17 3Dエンジン部
- 21 LCDドライバ
- 22 LCDパネル

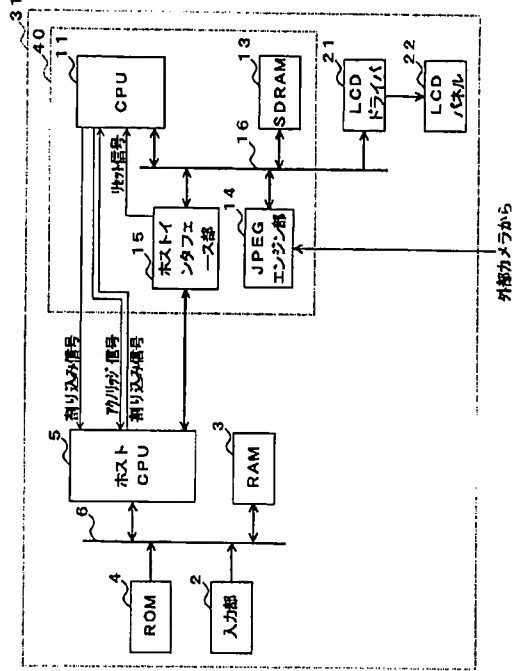
30



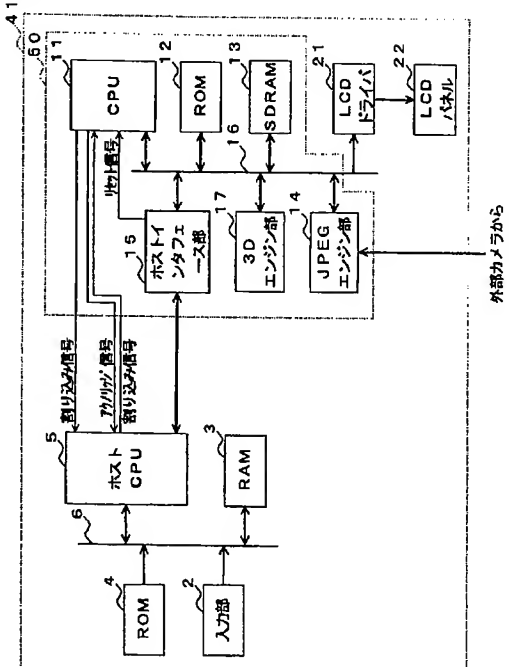
【図 1】



【図 2】



【図 3】





# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-110086**

(43)Date of publication of application : **08.04.2004**

(51)Int.Cl.

G06F 9/54

(21)Application number : **2002-267702**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **13.09.2002**

(72)Inventor : **TSUKADA KATSUMI**

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device allowing a host CPU to write a desired program in an RAM and to carry out the program by a CPU.

**SOLUTION:** An application processor 10 is provided with an ROM 12 for storing a program for boot processing; the RAM 13 for storing the program; a JPEG engine part 14 for converting an image signal received from an external camera, into image data of JPEG format; a host interface part 15 for receiving the program for performing prescribed processing, from the host CPU 5 and writing it in the RAM 13; and the CPU 11 for carrying out the program written in the RAM 13.

